

CLIPPEDIMAGE= JP404258160A

PAT-NO: JP404258160A

DOCUMENT-IDENTIFIER: JP 04258160 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: September 14, 1992

INVENTOR-INFORMATION:

NAME

MIYAKE, HIDEJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

N/A

APPL-NO: JP03019640

APPL-DATE: February 13, 1991

INT-CL (IPC):

H01L027/088;H01L021/336

;H01L029/784

US-CL-CURRENT: 257/408

ABSTRACT:

PURPOSE: To prevent a decrease in capacity of a transistor due to an unnecessary additional resistor by disposing two MIS transistors in parallel, narrowing the interval between gate electrodes of a common drain side as compared with a predetermined value, and increasing the interval between the gate electrodes of a source side.

CONSTITUTION: A semiconductor device containing a MIS transistor, and particularly that including a MOS transistor of an LDD structure is employed.

The two transistors are disposed adjacently with a drain region. i.e., a common region having a low concentration N-type diffused layer

5 and a high concentration N-type diffused layer 6. Gate electrodes 4 has a trapezoidal section, and formed at its side vertically at the side of a source region.

That is, the interval between the electrodes 4 of the side of common drain region is narrowed. Accordingly, one side is formed in a forward tapered state at the time of forming the gate electrodes, and a layer 5 can be formed only at the drain region. Thus, a decrease in capacity of the transistor due to the additional resistor of the layer 5 can be prevented.

COPYRIGHT: (C)1992, JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平4-258160

(43) 公開日 平成4年(1992)9月14日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/088

21/336

29/784

7342-4M

H 0 1 L 27/08

1 0 2 B

8422-4M

29/78

3 0 1 L

審査請求 未請求 請求項の数1(全4頁) 最終頁に続く

(21) 出願番号

特願平3-19640

(22) 出願日

平成3年(1991)2月13日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 三宅 秀治

東京都港区芝五丁目7番1号日本電気株式
会社内

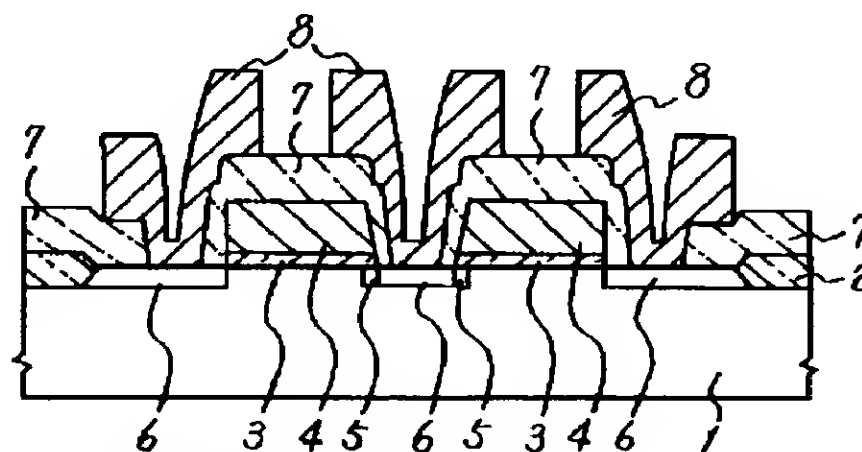
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 半導体装置

(57) 【要約】

【構成】 2つのM I Sトランジスタを並列配置し、共通のドレイン領域側のゲート電極の間隔を狭くする。ゲート電極形成時に片側が順テーパ状となり、ドレイン領域にのみ低濃度拡散層を形成することができる。

【効果】 ソース領域は高濃度拡散層のみであり、低抵抗とすることができ、L D D構造の欠点を除去できる。



1: P型シリコン基板 2: フィールド酸化膜
3: ゲート酸化膜 4: ゲート電極
5: 低濃度N型拡散層 6: 高濃度N型拡散層
7: 絶縁膜 8: アルミニウム電極

【特許請求の範囲】

【請求項1】 半導体基板にドレイン領域を共有して隣接配置された2つのMISトランジスタを含み、前記2つのMISトランジスタのそれぞれのゲート電極は前記ゲート電極間の間隔がゲート絶縁膜からの距離に応じて広がった断面台形状でソース側で垂直な側面を有し、前記ドレイン領域は前記それぞれのゲート電極下部に低濃度不純物拡散層を有し、前記2つのMISトランジスタのそれぞれのソース領域は高濃度不純物拡散層からなることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はMISトランジスタを含む半導体装置に関し特にLDD構造MOSトランジスタを含む半導体装置に関する。

【0002】

【従来の技術】 MOSトランジスタのホットキャリアによる劣化を抑制するためのトランジスタ構造としてLDD構造MOSトランジスタが一般的であるが従来のLDDトランジスタは図2に示すようにゲート電極4の側面に側壁酸化膜9を有する構造となっている。

【0003】 次に従来のLDD構造MOSトランジスタの製造方法について説明する。例えばP型シリコン基板上の素子分離領域に公知のLOCOS技術を用いて素子分離のためにフィールド酸化膜2を形成する。

【0004】 P型シリコン基板表面を熱酸化することによりゲート酸化膜3を成長した後、多結晶シリコン膜をLPCVD法により堆積し、所望の比抵抗になるようにリン拡散を行う。リソグラフィ技術を用いて多結晶シリコン膜を所望のパターンに加工することによりゲート電極4を形成する。

【0005】 その後リンを平方cmあたり10の13乗(1E13と記す。以下これに準じる)程度イオン注入し、低濃度N型拡散層5を形成する。全面に酸化シリコン膜を成長した後異方性エッチングを用いてエッチングを行うことによりゲート電極の側面に側壁酸化膜9を形成し、引き続きヒ素を平方cmあたり1E15程度イオン注入することによって高濃度N型拡散層9を形成することによりLDD構造MOSトランジスタが製造される。

【0006】

【発明が解決しようとする課題】 前述した従来のLDD構造MOSトランジスタでは、側壁酸化膜の形成やエッチングのダメージの回復処理等の製造工程がやや複雑なうえにトランジスタのソース領域にもドレイン領域と同様に低濃度N型拡散層が形成されるために、この低濃度N型拡散層の付加抵抗によりトランジスタの能力が不必要に低下しているという問題点があった。

【0007】

【課題を解決するための手段】 本発明の半導体装置は、

半導体基板にドレイン領域を共有して隣接配置された2つのMISトランジスタを含み、前記2つのMISトランジスタのそれぞれのゲート電極は前記ゲート電極間の間隔がゲート絶縁膜からの距離に応じて広がった断面台形状でソース側で垂直な側面を有し、前記ドレイン領域は前記それぞれのゲート電極下部に低濃度不純物拡散層を有し、前記2つのMISトランジスタのそれぞれのソース領域は高濃度不純物拡散層からなるというものである。

10 【0008】

【実施例】 次に本発明について図面を参照して説明する。

【0009】 図1は本発明の一実施例におけるMOSトランジスタの断面図である。

【0010】 2つのMOSトランジスタがドレイン領域(低濃度N型拡散層5および高濃度N型拡散層6を有している)を共通して隣接配置されている。ゲート電極4は断面台形状であるが、ソース領域側では側面は垂直になっている。ソース領域は低濃度N型拡散層を有していない。

20 【0011】 次にこの実施例の製造方法について説明する。

【0012】 まず、図3に示すように、P型シリコン基板1上に公知のLOCOS技術を用いて素子分離領域に素子分離用のフィールド酸化膜2を600nm程度熱酸化により形成する。この後しきい電圧 V_t 調節のためのイオン注入を行い、素子領域に約15nmのゲート酸化膜3を熱酸化により成長する。

30 【0013】 次に、図4に示すように、基板全面に300nm程度の多結晶シリコン膜10を成長し抵抗率が約15 Ω になるようにリン拡散を行った後約300nmの酸化シリコン膜11をCVD法により堆積する。全面に厚さ1~1.5 μ mのフォトリソ膜を塗布しマスクを用いて露光することによりフォトリソ膜を所望のパターンに整形する。この時トランジスタのドレイン領域はフォトリソ膜12の間隔が約1 μ m以下になるようにマスクを作成しておく。

40 【0014】 次に、図5に示すように、この状態で酸化シリコン膜のプラズマエッチ、多結晶シリコン膜のプラズマエッチをひき続き行くとトランジスタのドレイン領域を形成する部分(フォトリソ膜12で挟まれた部分)はエッチングすべき領域のアスペクト比が1~2と大きいために他の領域と比較してエッチング速度が遅く、エッチング後の形状は間隔の狭い領域のみが順テーパ形状となり、断面台形状のゲート電極4が形成される。

50 【0015】 この状態で、リンを30keVで平方cm当たり1E13程度、ヒ素を30keVで平方cm当たり1E15程度イオン注入すると、リンのイオン注入の投影飛程 R_p が約40nmであるのに対してヒ素の R_p は約

3

20nmしかないのでゲート電極の順テーパー形状によりトランジスタのド레인領域にはヒ素よりゲートポリによりリンが入って低濃度N型拡散層5と高濃度N型拡散層6とが形成される。ソース領域は高濃度N型拡散層のみである。次に図6に示すように、全面に層間絶縁膜として酸化シリコン膜4を約400nm堆積し、図1に示すようにフォトリソグラフィ技術を用いてコンタクト孔を開孔しアルミニウム電極8を形成することによりトランジスタが製造される。

【0016】ここで、図4に示すように、多結晶シリコン膜10上に酸化シリコン膜11を成長したのはド레인領域を挟むゲート電極間隔を約1μm以下と狭いものとするために、エッチング領域のアスペクト比を大きくしてこの領域のエッチング速度を遅くするためと、公知のセルフアラインコンタクト技術を用いるためである。

【0017】図7は本発明の応用例を示す断面図である。チャンネル幅の大きなトランジスタが必要な場合、チャンネル幅の小さな複数のトランジスタを並列に配置することが通常行われるがこの場合にもド레인領域のゲート間隔を約1μm以下、ソース領域のゲート間隔を約2μm以上とすることでド레인領域側でのみゲート電極を順テーパー形状とすることによりド레인領域のみに低濃度不純物拡散層を形成することができる。

【0018】製造方法は前述したものとはほとんど同じである。ただ、絶縁膜7の代りに第1の絶縁膜14を被着し、コンタクト孔を形成したのち、第1の配線層1を形成し、その上に第2の絶縁膜16を被着し、コンタクト孔を形成し、第2の配線層17を形成するという点で異なっている。これは、ド레인領域上のコンタクト孔のアスペクト比が大きくなって電極配線の段切れが生じ易いのを防ぐため2段構えのコンタクトを形成したからである。

【0019】以上の実施例ではヒ素とリンの2種類の原子を注入することにより低濃度N型拡散層を形成することによってド레인領域の不純物の濃度勾配を緩やかにしたがヒ素のみを平方cmあたり1E15程度注入することによってもド레인領域の順テーパー形状のゲートポリシリコンを突き抜けるヒ素の量がゲート電極の中心部に近づくにつれて少くなり不純物の濃度勾配を緩やか

4

にすることができる。

【0020】

【発明の効果】以上説明したように本発明は2つのMISトランジスタを並列配置し、共通のド레인側のゲート電極間隔を所定値より狭くしソース側のゲート電極間隔を広くすることによりエッチング速度の差を利用してド레인側のゲート電極のみが順テーパーの断面形状とし、簡便な製造工程によりド레인側にのみ拡散層に緩やかな濃度勾配を持たせることができる。従って、ソース領域に低濃度不純物拡散層は存在しないので不必要な付加抵抗によるトランジスタの能力の低下を防止することができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す断面図である。

【図2】従来のLDD構造トランジスタの断面図である。

【図3】本発明の一実施例の製造方法を説明するための断面図である。

【図4】本発明の一実施例の製造方法を説明するための断面図である。

【図5】本発明の一実施例の製造方法を説明するための断面図である。

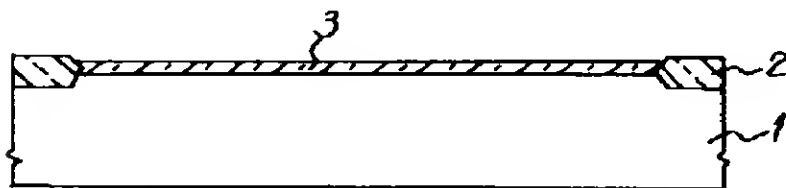
【図6】本発明の一実施例の製造方法を説明するための断面図である。

【図7】本発明の応用例を示す断面図である。

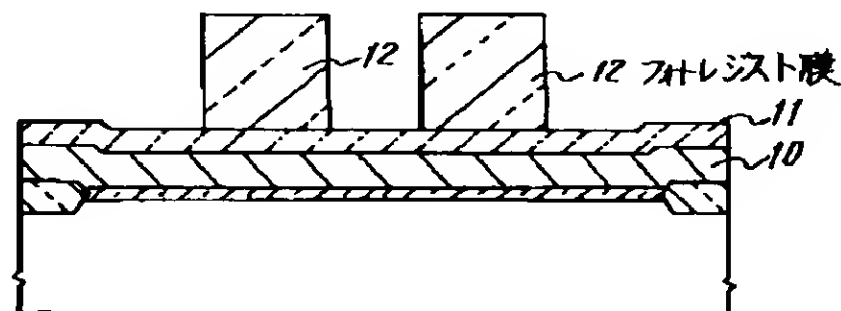
【符号の説明】

- 1 P型シリコン基板
- 2 フィールド酸化膜
- 3 ゲート酸化膜
- 4 ゲート電極
- 5 低濃度N型拡散層
- 6 高濃度N型拡散層
- 7 絶縁膜
- 8 アルミニウム電極
- 9 側壁酸化膜
- 10 多結晶シリコン膜
- 11 酸化シリコン膜
- 12 フォトリソグ膜
- 13 フォトリソグ膜

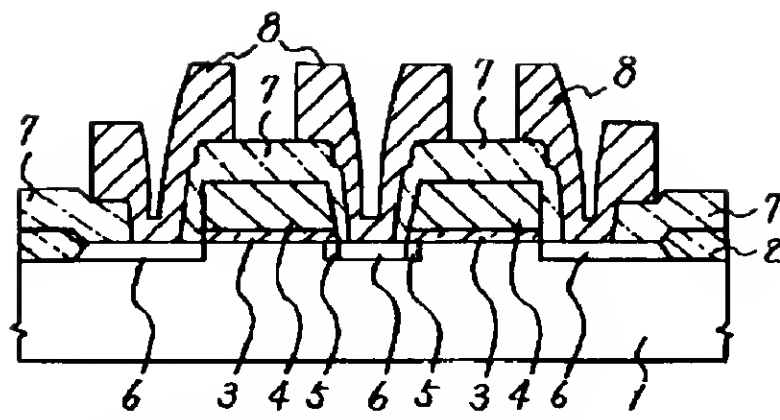
【図3】



【図4】

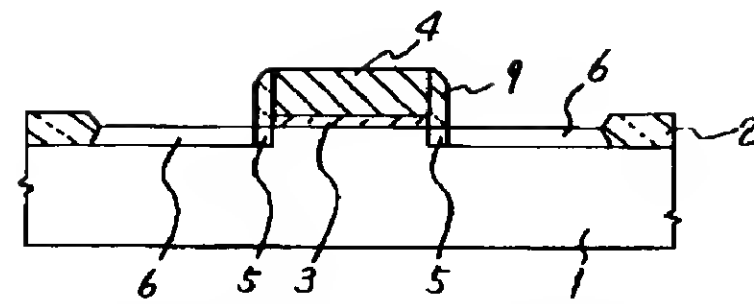


【図1】



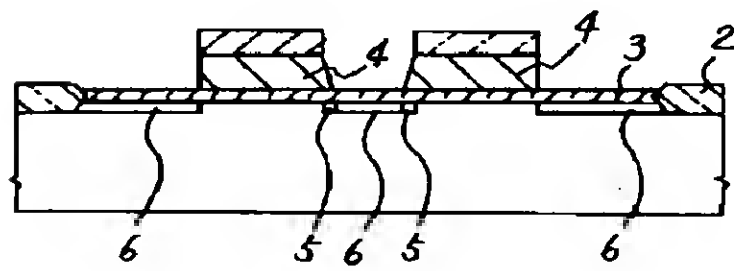
- 1: P型シリコン基板 2: フォールド酸化膜
3: ゲート酸化膜 4: ゲート電極
5: 低濃度N型拡散層 6: 高濃度N型拡散層
7: 絶縁膜 8: アルミニウム電極

【図2】

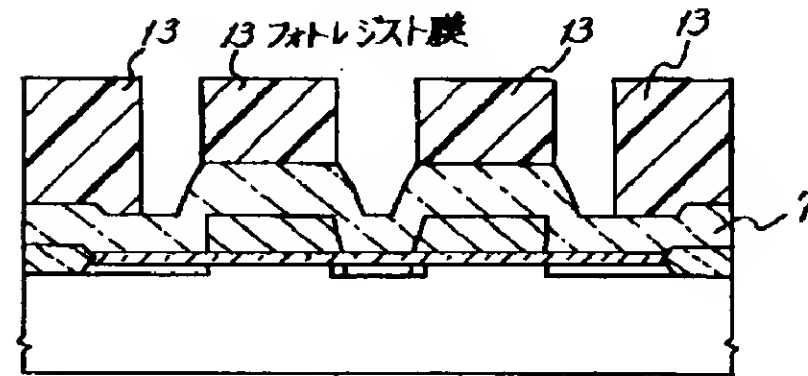


- 1: P型シリコン基板 2: フォールド酸化膜
3: ゲート酸化膜 4: ゲート電極
5: 低濃度N型拡散層 6: 高濃度N型拡散層
9: 側壁酸化膜

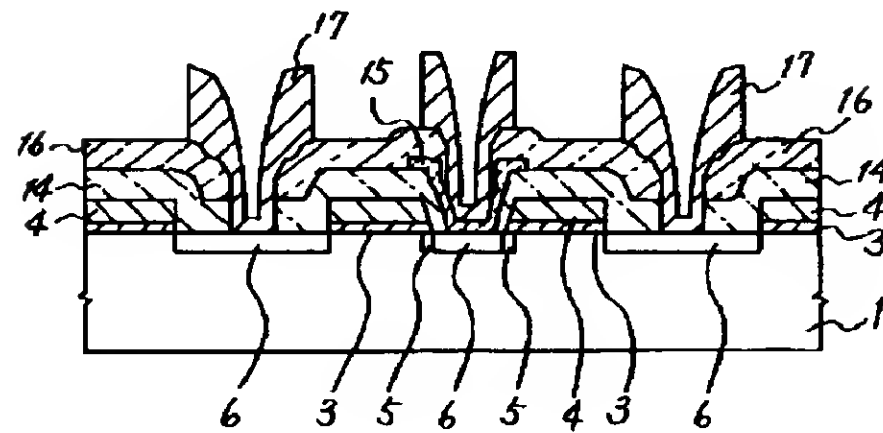
【図5】



【図6】



【図7】



- 14: 第1の絶縁膜 15: 第1の配線層
16: 第2の絶縁膜 17: 第2の配線層

フロントページの続き

(51) Int. Cl.⁵

識別記号

庁内整理番号

8422-4M

F I

H 0 1 1. 29/78

技術表示箇所

3 0 1 G